## Multiplexer

Programovatelný přepínač

* kombinovaný kombinační logický obvod
* informace přítomná na jednom z několika vstupů se přesměruje na jediný výstup
* vstup, ze kterého má být informace přenesena na výstup, se určí adresovými signály ve dvojkovém kódu na adresovacím vstupu.



* mezi počtem datových (n) a adresových (m) vstupů platí závislost: n = 2m

## např.: 8 vstupů - 3 adresové vodiče

4 vstupy – 2 adresové vodiče

* blokovací vstup E je používán pro ovládání činnosti celého obvodu. Jeho aktivní úroveň uvádí výstup do neaktivní úrovně bez ohledu na hodnoty ostatních signálů.

**Např: čtyřvstupový multiplexer**



* Pokud potřebujeme více vstupů, než je k dispozici na použitém integrovaném obvodu, je nutné spojit více multiplexerů paralelně – jejich výstupy pak sloučíme např. součtovým hradlem a vstupem E zvolíme, z kterého multiplexeru má být signál vybrán.

**Použití multiplexerů –** tam kde má být z množství signálů vybrán jediný:

## - na vstupech aritmetickologických jednotek

- v obvodech pro převod paralelní informace na sériovou – vícebitové slovo přivedeme na vstupy a potom postupně vystřídáme všechny kombinace na adresových vstupech.

Vyrábějí se jako integrované obvody:

Např: SN 74157 /2 vstupy/

SN 74153 /4 vstupy/

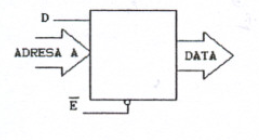
SN 74151 /8 vstupů/

SN 74150 /16 vstupů/

**Demultiplexer**

**Přepínač číslicových signálů**

* Kombinovaný kombinační logický obvod
* v  závislosti na logickém stavu adresových vodičů přenáší z jediného vstupního vodiče data na jeden z výstupních vodičů, zatímco na ostatních výstupních vodičích setrvává neaktivní stav.



Mezi počtem datových výstupů /n/ a adresových /m/ vstupů platí závislost: n = 2m

Demultiplexer se používá i ve funkci dekodéru – vytváří z jedné vstupní kombinace bitů jinou kombinaci.

**IO**: SN 74155

**Komparátory**

* Kombinovaný kombinační logický obvod
* porovnává dvě binární čísla a generuje výstupní signál o jejich rovnosti či nerovnosti.

Základním stavebním prvkem komparátoru jsou:

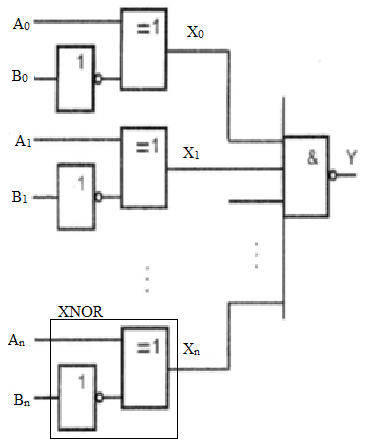
**logické obvody XOR:**

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | XOR | XNOR |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |



**logické obvody XNOR:**

**Např: číslicový komparátor s obvody XOR**

* Porovnává dvě n-bitová čísla A a B.
* Číslo A je přivedeno na obvod XOR přímo, číslo B je přivedeno přes inventor. Vzniká tak logický obvod, který plní funkci XNOR.
* mají-li vstupní log proměnnéAn a Bn stejnou hodnotu,

na výstupech X0 až Xn se objeví log1

* jsou.li tedy čísla An a Bn shodná ve všech bitech, na vstupech obvodu NAND jsou log1, výstup NAND je roven log 0.
* Pokud se čísla liší alespoň v jediném bitu, alespoň na jednom vstupu NAND se objeví log0, výstup NAND je ve stavu log1.

**Paralelní sčítačky**

* Kombinované kombinační logické obvody, které provádí sčítání nebo odčítání vícebitových binárních čísel
* bývají realizovány jako integrované obvody
* v podstatě jde o kaskádní zapojení několika jednobitových sčítaček.

#### 

Tři nejvyšší rády jsou sčítány v blocích označených , které se nazývají **úplné sčítačky***.* Mají tři vstupy. V každém řádu do nich vstupují binární číslice An, Bn a přenos z nižšího řádu Cn.

#### V nejnižším řádu do bloku /2vstupují pouze binární číslice A0 a B0, a proto se tento blok nazývá poloviční sčítačka.

#### Poloviční sčítačka



- Používá se pouze pro sečtení nejnižšího řádového místa dvou dvojkových čísel.

#### 

S0…součet binárních číslic

C1…přenos do vyššího řádu

**Úplná sčítačka**



Při sčítání dvou dvojkových čísel se u vyšších řádových míst ke dvěma číslicím An, Bn , přidává hodnota přenosu z nižšího řádového místa Cn.



Sn…součet binárních číslic

Cn+1…přenos do vyššího řádu

**Příkladem paralelní sčítačky** je integrovaný obvod 7483

* jde o paralelní čtyřbitovou sčítačku, které funguje bud' jako sčítačka nebo jako odčítačka s dvojkovými doplňky.
* Vstupem sčítačky jsou dvě čtyrbitová čísla A, B a přenos do vyššího řádu Co.
* Výstupem je čtyřbitový součet S a přenos ze čtvrtého bitu C4. Tato sčítačka má uvnitř realizované zrychlení přenosu.

Paralelní sčítačky 7483 můžeme řadit do kaskády 8, 12, 16 a dalších násobků čtyř bitů tak, že přenosový bit C4 z obvodu nižšího řádu spojíme se vstupem Co obvodu vyššího řádu.

V případě, že je přepínač S v poloze 1, je na společném vodiči hradel XOR logická O a na vstupech B je stejné číslo jako na vstupech B', nula je i na přenosovém bitu Co. Sčítačka pak provádí **součet A+B**.

Je-li spínač S v poloze 2, je na společný vstup členu XOR přivedena logická 1 ze zdroje +Ucc a tato hradla provedou negaci binárního čísla, které je přivedeno na vstupy B'. Současně je na vstup Co přivedena logická **1,** která vytvoří z čísla B' dvojkový doplněk na vstupech B. Sčítačka ke vstupnímu číslu A přičte dvojkový doplněk čísla B a provede tak rozdíl čísel A-B.